

AMPLIFIER CIRCUIT

Publication number: JP5315862

Publication date: 1993-11-26

Inventor: ASAZAWA HIROSHI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: H03F3/50; H03F3/30; H03F3/50; H03F3/30; (IPC1-7): H03F3/50

- European: H03F3/30S2A

Application number: JP19920114394 19920507

Priority number(s): JP19920114394 19920507

Also published as:

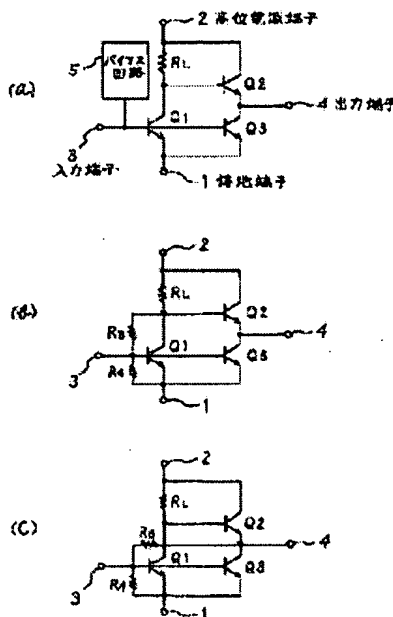
US5352992 (A1)

Report a data error here

Abstract of JP5315862

PURPOSE: To obtain a grounded-emitter amplifier circuit with a large output drive capability, less power consumption and small distortion in the large amplitude operation and excellent high frequency characteristic.

CONSTITUTION: A transistor (TR) Q1 and a load resistor RL form a grounded-emitter amplifier stage. TRs Q2, Q3 form an emitter follower at an output terminal. A base of the TR Q1 at the amplifier stage and a base of the TR Q3 of an output stage are used in common and biased by using a bias circuit 5 and a signal is inputted to the base. Since an input signal is applied also to a base of the TR Q3 of the output stage emitter follower, the output drive capability is improved than that of a conventional emitter follower or a resistive load amplifier circuit.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-315862

(43) 公開日 平成5年(1993)11月26日

(51) Int.Cl.⁵

H 0 3 F 3/50

識別記号

庁内整理番号

8124-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 5 頁)

(21) 出願番号 特願平4-114394

(22) 出願日 平成4年(1992)5月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 浅澤 博

東京都港区芝五丁目7番1号日本電気株式会社内

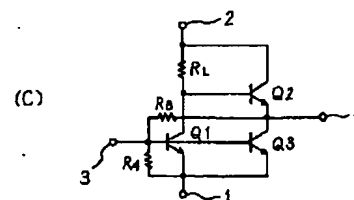
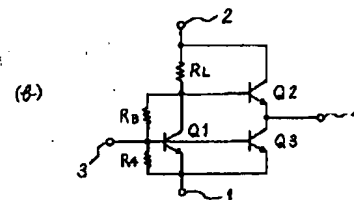
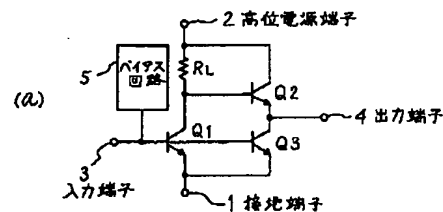
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 増幅回路

(57) 【要約】

【目的】出力駆動能力が大きくて消費電力が小さく、大振幅動作時の歪みの小さい高周波特性に優れたエミッタ接地型の増幅回路。

【構成】トランジスタQ1および負荷抵抗 R_L でエミッタ接地の増幅段を構成する。トランジスタQ2とQ3とで出力端のエミッタホロワを構成する。増幅段のトランジスタQ1のベースと出力段のトランジスタQ3のベースとを共通にし、バイアス回路5によってバイアスすると共に信号を入力する。出力段エミッタホロワのトランジスタQ3のベースにも入力信号が印加されるので、通常のエミッタホロワや抵抗負荷増幅回路よりも出力駆動能力が高くなる。



1

【特許請求の範囲】

【請求項1】 エミッタ接地された第1のバイポーラトランジスタと負荷回路とからなる増幅段と、ベースが前記増幅段の出力端に接続されてエミッタホロワをなす第2のバイポーラトランジスタと、ベースが前記第1のバイポーラトランジスタのベースに接続されて前記エミッタホロワを電流駆動する第3のバイポーラトランジスタとからなる出力段とを備えた増幅回路。

【請求項2】 エミッタが接地された第1のバイポーラトランジスタと、前記第1のバイポーラトランジスタのコレクタと電源端子との間に接続された負荷回路と、前記第1のバイポーラトランジスタのベースに給電するバイアス回路とを有し、前記第1のバイポーラトランジスタのベースとコレクタとをそれぞれ入出力端とするエミッタ接地増幅段と、

コレクタおよびベースがそれぞれ前記電源端子および前記エミッタ接地増幅段の出力端に接続された第2のバイポーラトランジスタと、コレクタが前記第2のバイポーラトランジスタのエミッタに接続されエミッタが接地された第3のバイポーラトランジスタとを有し、前記第2のバイポーラトランジスタのエミッタと前記第3のバイポーラトランジスタのコレクタの接続点を出力端とするエミッタホロワとを含み、

前記第3のバイポーラトランジスタのベースと前記第1のバイポーラトランジスタのベースとが接続されていることを特徴とする増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は増幅回路に関し、特に、UHF帯程度以上の高周波アナログ信号を増幅するためのエミッタ接地型の増幅回路に関する。

【0002】

【従来の技術】 この種の増幅回路は、コレクタに負荷インピーダンスが接続されたバイポーラトランジスタ（以後、トランジスタと記す）のエミッタを接地し、エミッタ・ベース間に信号を入力してコレクタから出力信号を取り出す構成を基本構成としている。

【0003】 上記の基本的な回路構成に対して、増幅回路の出力駆動能力を高めたい場合には、従来、出力インピーダンスの低いエミッタホロワを出力段として設け、このエミッタホロワの出力端から出力信号を取り出す構成が一般的に採られている。図3にこのような従来の増幅回路の一例の回路図を示す。図3を参照すると、この増幅回路では、エミッタが接地端子1に接続されバイアス回路5Aによってベースバイアスが与えられて増幅作用をするNPNトランジスタQ1と、このトランジスタのコレクタと高位電源端子2との間に設けられた負荷抵抗R₁とでエミッタ接地の増幅段が構成されている。又、出力段のエミッタホロワは、コレクタが高位電源端子2に接続されベースが増幅段のトランジスタQ1のコ

2

レクタに接続されたNPNトランジスタQ2と、コレクタがこのトランジスタQ2のエミッタに接続されエミッタが接地されて定電流源となるNPNバイポーラトランジスタQ3とで構成されている。トランジスタQ3のベースバイアスはバイアス回路5Bによって与えられる。信号入力端子（増幅段のトランジスタQ1のベース）3に入力された信号は、増幅段によって増幅され、出力段のエミッタホロワを介して出力端子（エミッタホロワのトランジスタQ2のエミッタ）4から出力される。

【0004】

【発明が解決しようとする課題】 上述した従来の増幅回路は、基本的な増幅回路に対して出力段としてエミッタホロワを設け出力インピーダンスを下げることによって、出力駆動能力を高め回路の低消費電力化を図っている。しかしながら、近年、例えば携帯電話に代表されるような、電池駆動でしかも高周波帯で動作する電子装置が開発され、需要が高まってきている状況のもとで、これらの電子装置に用いられる電子回路の消費電力低減に対する要請が益々強くなってきている。しかるに、上述した従来の増幅回路は、エミッタホロワで出力インピーダンスを下げてはいるものの、消費電力を更に下げのために動作電流を小さくすると、出力駆動能力が落ち、出力信号の歪みが大きくなってしまいうという欠点がある。

【0005】 これに対して、以下に例示するように、増幅回路の出力駆動能力を図3に示したものよりも更に大きくして消費電力を少なくする工夫がいろいろなされているが、この消費電力の改善に伴って増幅回路としての他の特性が低下するという問題も起り、消費電流が小さく、しかも低歪みで大振幅の出力を得ることが困難である。

【0006】 図4（a）は、出力駆動能力を上述の増幅回路よりも更に高めたものの一例の回路図であって、NEC技報、第41巻、第14号、1988年、第260頁～第263頁に掲載されたものである。尚、図4（a）は、増幅回路の基本動作に直接関係のない回路素子は、簡単のため省略して示してある。図4（a）を参照すると、この増幅回路は、増幅段のトランジスタQ1のエミッタと接地端子1との間に抵抗R₁を設けてエミッタホロワとし、このエミッタホロワから信号を取り出して定電流源としてのトランジスタQ3のベースに入力し、出力駆動能力を高くしようとするものである。トランジスタQ1のベースと出力端子4との間には、自己バイアス方式によってベースバイアスを与えるための抵抗R₂が接続されている。又、トランジスタQ3のエミッタと接地端子1との間には、このトランジスタQ3の電流を決めるための抵抗R₃が設けられている。

【0007】 この増幅回路では、信号が入力端子3から入力され、トランジスタQ1およびトランジスタQ2を通過して出力されると同時に、トランジスタQ1と抵抗R₁とからなるエミッタホロワを介してトランジスタQ3

3

を通過して出力端子4に出力される。この場合、トランジスタQ1がエミッタホロワとして働くためには、抵抗 R_1 がある程度大きな値であることが必要である。このため、トランジスタQ1と負荷抵抗 R_L とからなる増幅段の高周波特性が、図3に示すエミッタ接地の増幅段のそれと比較して著しく低下してしまう。実際、上記の文献によれば、図4(a)に示す回路は、ダウンコンバータの出力段の100MHz以下のIF増幅器のものであり、1GHz程度以上の高周波信号の増幅には適しない。

【0008】次に、図4(b)に示す増幅回路は、図4(a)に示す回路において、エミッタホロワのトランジスタQ1がもっていた、増幅作用とトランジスタQ3への信号伝達作用とを分離し、高周波特性の改善を図ったものの例であって、アイイーイーイー・ジャーナル・オブ・ソリッドステート・サーキットズ(IEEE Journal of Solid-State Circuits), VOL. 24, No. 1, 1989年2月の第7頁〜第12頁に記載されたものである。図4(b)を参照すると、この増幅回路では、増幅段のトランジスタQ1のベースに接続された抵抗 R_1 および定電流源とエミッタに接続されたダイオードDとからなるバイアス回路によって、トランジスタQ1のベースに自己バイアスしている。そして、トランジスタQ1のエミッタにダイオードを一段入れることによって、トランジスタQ4と抵抗 R_3 とからなるエミッタホロワの出力をトランジスタQ3のベースに直結して入力している。トランジスタQ2, Q3は、出力段のエミッタホロワを構成し、トランジスタQ3には、入力信号と同相の信号が印加されている。尚、図4(b)も、図4(a)と同様に、増幅回路の基本動作に直接関係しない回路素子については、簡単のため省略して示してある。

【0009】この増幅回路は、増幅段(トランジスタQ1と負荷抵抗 R_L とからなる)と、出力段のエミッタホロワの電流駆動用トランジスタQ3のベースに信号を入力するためのエミッタホロワ(トランジスタQ4と抵抗 R_3 とからなる)とを共用していないので、高周波帯での特性が図4(a)に示す回路に比べて向上する。しかし、増幅段のトランジスタQ1のエミッタと接地端子1との間に、レベル合わせのためのダイオードDが設けられていたので、図3に示すエミッタ接地の増幅回路に比べると高周波特性は劣っている。更に、バイアス回路の抵抗 R_1 は、トランジスタQ1の動作電流に関して自己バイアスを役目を果しているが、トランジスタQ3の動作電流に関しては、フィードバックを掛けているのは抵抗 R_2 である。従って、図4(b)に示す回路を低消費電流で安定に動作させるには、抵抗 R_2 の値を、例えば、トランジスタQ2の電流 I_{c3} と抵抗 R_2 の抵抗値 R_2 の積が、 $I_{c3} \cdot R_2 > 0.1$ V程度になるような大きな値に設定しなければならない。このことは、出力段の

4

駆動能力を上げることに反する。実際、前述の文献によれば、この増幅回路は、消費電力が12V, 540mWと非常に大きく、低消費電力化に適しているとは言えない。

【0010】本発明は、上述のような問題に鑑みてなされたものであって、図3に示す増幅回路と同等の高周波特性を有し、更に、出力駆動能力が大きくて消費電流が小さく歪みの少ないエミッタ接地の増幅回路を提供することを目的とする。

10 【0011】

【課題を解決するための手段】本発明の増幅回路は、エミッタ接地された第1のバイポーラトランジスタと負荷回路とからなる増幅段と、ベースが前記増幅段の出力端に接続されてエミッタホロワをなす第2のバイポーラトランジスタと、ベースが前記第1のバイポーラトランジスタのベースに接続されて前記エミッタホロワを電流駆動する第3のバイポーラトランジスタとからなる出力段とを備えている。

【0012】

20 【実施例】次に、本発明の好適な実施例について、図面を参照して説明する。図1(a)は、本発明の一実施例の構成を示すブロックレベルの回路図である。図1(a)を参照すると、本実施例では、トランジスタQ1と負荷抵抗 R_L とでエミッタ接地の増幅段を構成し、トランジスタQ2とQ3とで出力段のエミッタホロワを構成している。そして、トランジスタQ1およびQ3のベースには、バイアス回路5から共通にベースバイアスが供給されると共に、入力端子3より高周波信号が入力される。

30 【0013】本実施例では、増幅段はエミッタ接地型に構成されており、更に、この増幅段の出力をトランジスタQ2からなるエミッタホロワで受けると同時に、電流駆動用のトランジスタQ3のベースにも入力信号を入力しているので、大振幅動作時の出力駆動能力が図3に示す増幅回路におけるよりも大きくなり、歪みの少ない信号が出力端子4に取り出される。

40 【0014】図1(b)は、図1(a)中のバイアス回路5を具体化した一例を示す回路図である。図1(b)に示す回路では、増幅段の出力端(トランジスタQ1のコレクタ)と、増幅段のトランジスタQ1および出力段のトランジスタQ3のベースとの間に抵抗 R_1 を設けて自己バイアス方式でベースバイアスを与えている。更に、図1(c)は、バイアス回路5を具体化した他の例を示す回路図である。図1(c)を参照すると、この実施例では、出力段のエミッタホロワの出力端(トランジスタQ2のエミッタ)と、増幅段のトランジスタQ1および出力段のトランジスタQ3のベースとの間に抵抗 R_1 を設けて自己バイアス方式でベースバイアスを与えている。図1(b), (c)に示す実施例は、増幅段あるいは出力段から抵抗 R_1 によって帰還を施すことによ

5

て、トランジスタQ2、Q3の電流を安定に設定することができる。尚、入力端子3と接地端子1との間に設けられた抵抗R4は、トランジスタの電流増幅率 h_{fe} のばらつきの影響を吸収するためのものである。

【0015】図2(a)、(b)に、図1(b)に示す実施例と図3に示す従来の増幅回路とにおいて、電源電圧を5V、増幅段の電流を2mA、出力段の電流を4mAとした場合について、出力信号波形を計算機を用いてシミュレーションした結果を示す。シミュレーションにあたっては、入出力は容量によってカットし50Ω系で終端している。又、入力信号源には、信号源インピーダンスが50Ωのものを用い、波高値が0.2Vの正弦波を信号源信号として用いた。図2(a)は本発明の実施例におけるシミュレーション結果を示し、図2(b)は従来の増幅回路に対するシミュレーション結果を示す。図2(a)と図2(b)とを比較すると、本発明の実施例の出力波形の方が従来の増幅回路の出力波形に比べて歪みが少なく、実施例の出力駆動能力が向上していることが分る。

【0016】

【発明の効果】以上説明したように、本発明の増幅回路は、エミッタ接地の増幅段のトランジスタと出力段のエミッタホロワの電流駆動トランジスタのベースを共通にしてバイアスし、入力信号を加える構成になっている。

【0017】これにより本発明によれば、低消費電流で

6

も動作点を安定に設定することができ、大振幅動作における歪みの少ない増幅回路を提供することができる。このことは、例えば携帯電話機のような、電池駆動で高周波帯で動作する電子装置の低消費電力化に極めて大きな効果をもたらすものである。

【図面の簡単な説明】

【図1】分図(a)は、本発明の一実施例の構成を示す、ブロックレベルの回路図である。分図(b)は、分図(a)におけるバイアス回路を具体化した一例の回路図である。分図(c)は、分図(a)におけるバイアス回路を具体化した他の例の回路図である。

【図2】分図(a)は、図1(b)に示す実施例の出力信号波形をシミュレーションした結果を示す図である。分図(b)は、図3に示す従来の増幅回路の出力信号波形をシミュレーションした結果を示す図である。

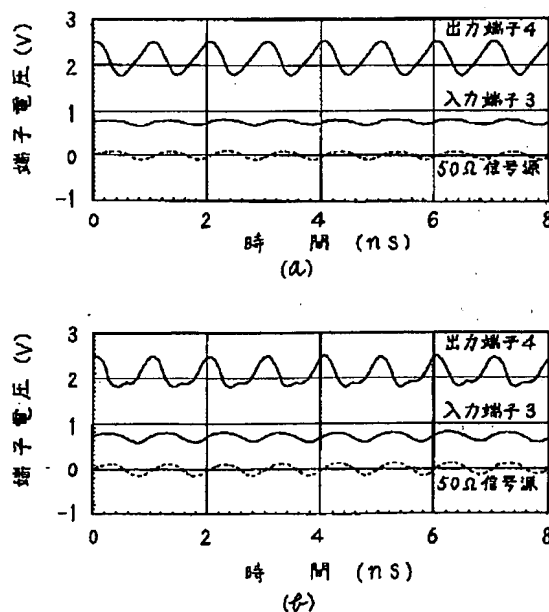
【図3】従来の増幅回路の一例の回路図である。

【図4】分図(a)は、従来の増幅回路の他の例の回路図である。分図(b)は、従来の増幅回路の更に他の例の回路図である。

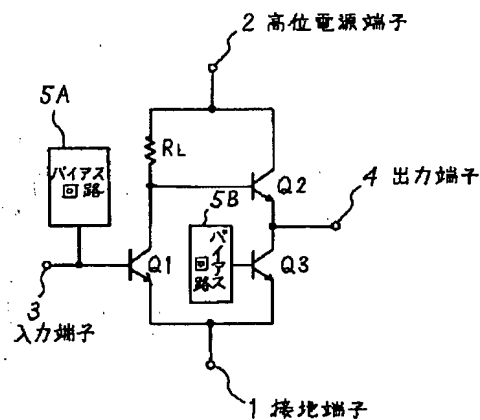
20 【符号の説明】

- 1 接地端子
- 2 高位電源端子
- 3 入力端子
- 4 出力端子
- 5, 5A, 5B バイアス回路

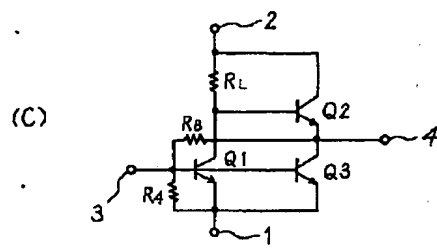
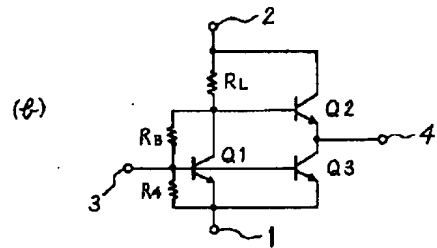
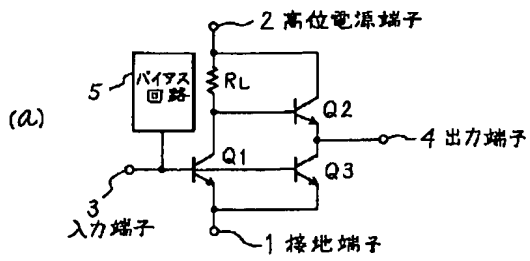
【図2】



【図3】



【図1】



【図4】

